

(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication

number:

100189736 B1

(43) Date of publication of application:

18.01.1999

(21) Application number: 1019950035707

(71) Applicant:

HYUNDAI MICRO
ELECTRONICS CO., LTD.

(22) Date of filing: 17.10.1995

(72) Inventor:

PARK, GI YEOL

(51) Int. Cl

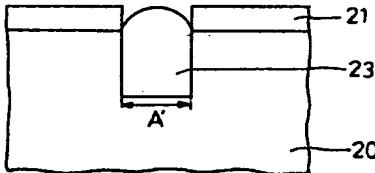
H01L 21/76

(54) METHOD FOR FORMING TRENCH BARRIER OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for forming a trench barrier of a semiconductor device is provided to form easily a trench isolation layer by a porous silicon layer without an additional equipment.

CONSTITUTION: A method for forming a trench barrier of a semiconductor device comprises the following steps. A nitride layer pattern is formed to expose an isolation barrier area on a semiconductor substrate(20). The exposed isolation barrier area of the semiconductor substrate(20) is soaked in a hydrofluoric acid solution and a vertical porous silicon layer is formed by irradiating a beam to the exposed isolation barrier area soaked in the hydrofluoric acid. A trench barrier layer(23) is formed by oxidizing the porous silicon layer.



COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (19951017)

Final disposal of an application (registration)

Date of final disposal of an application (19981228)

Patent registration number (1001897360000)

Date of registration (19990118)

(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(51) Int. Cl.
 HO1L 21/76

(45) 공고일자 1999년06월01일
 (11) 등록번호 10-0189736
 (24) 등록일자 1999년01월18일

(21) 출원번호	10-1995-0035707	(65) 공개번호	특1997-0023985
(22) 출원일자	1995년10월17일	(43) 공개일자	1997년05월30일
(73) 특허권자	엘지반도체주식회사 구본준 충청북도 청주시 흥덕구 향정동 1번지 박기열		
(72) 발명자	대구광역시 동구 옥계2동 395-2		
(74) 대리인	양순석		

설사과 : 경동정

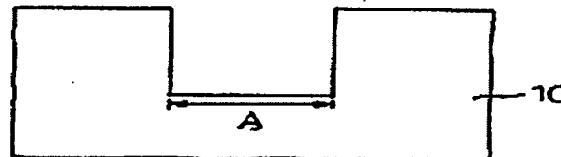
(54) 반도체 소자의 트랜치 격리충형성방법

요약

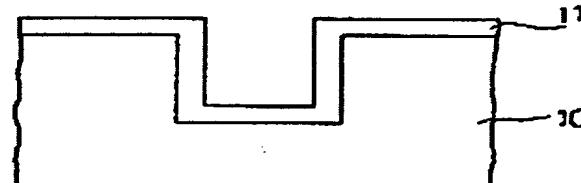
본 발명은 반도체 소자의 격리충 형성방법에 관한 것으로 반도체기판 상에 소자격리영역을 노출시킨 질화막 패턴을 형성시키는 단계와, 상기 반도체기판의 노출된 상기 소자격리영역을 불산 용액 내에서 빛을 살기 반도체기판과 수직되게 조사하면서 양극반응시켜 수직의 다공질실리콘층을 형성하는 단계와 상기 다공질실리콘층을 산화시켜 트랜치 격리충을 형성시키는 단계를 포함한다.

도표도

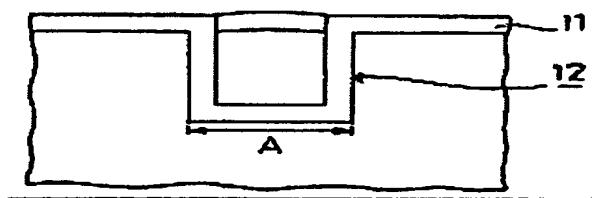
(a)



(b)



(c)



명세서

[발명의 명칭]

반도체 소자의 트렌치 격리층 형성방법

[도면의 간단한 설명]

제1도(a) 내지 (c)는 증래 기술에 따른 반도체 소자의 트렌치 격리층 형성방법을 설명하기 위한 공정도.

제2도(a) 내지 (d)는 본 발명에 따른 반도체 소자의 트렌치 격리층 형성방법을 설명하기 위한 공정도.

* 도면의 주요부분에 대한 부호의 설명

10, 20 : 반도체기판 11 : 산화막

12 : 트렌치 격리층 21 : 절연막

22 : 다공질실리콘층 23 : 트렌치격리층

A, A' : 소자격리영역

[발명의 상세한 설명]

본 발명은 반도체 소자의 트렌치 격리(trench isolation)층 형성방법에 관한 것으로, 특히 반도체 소자의 제조공정에 있어서, 다단계를 거치지 않고 단순한 작업을 통하여 고작접화된 반도체 소자 형성에 적당하도록 한 반도체 소자의 트렌치 격리층 형성방법에 관한 것이다.

제1도(a) 내지 (c)는 증래 기술에 따른 반도체 소자의 트렌치 격리층 형성 방법을 설명하기 위한 공정도이다.

증래의 반도체 소자의 트렌치 격리층 형성방법에 의해 트렌치 격리층을 형성시키기 위해서는 우선, 제1도의 (a)와 같이 소자격리영역(A)의 반도체기판(10)을 건식 식각하여 1000Å에서 2000Å 정도의 폭을 갖는 트렌치를 형성한다.

그리고 제1도의 (b)와 같이 트렌치를 형성시킨 반도체기판(10)의 전면에 1000Å 내지 2000Å 두께를 갖는 산화막(SiO₂)(11)을 성장시킨다.

이어서 제1도의 (c)와 같이 산화막(11) 상에 폴리실리콘(Polysilicon)을 트렌치를 채우도록 화학기상증착(CVD : Chemical Vapour Deposition)법으로 증착한다. 그리고, 폴리실리콘을 트렌치 내에만 잔류되게 산화막(12)이 노출되도록 에치백하고, 이 잔류하는 폴리실리콘 표면을 산화시킴으로써 소자격리영역(A)에 트렌치 격리층(12)을 형성시킨다.

그러나, 증래의 반도체 소자의 트렌치 격리층 형성방법에서는 트렌치를 형성시키기 위한 건식식각, 산화막 성장, 화학기상증착법 등의 다단계의 공정을 거쳐서 트렌치 격리층을 형성시킴으로써 공정이 복잡하게 진행되었고, 또한 반도체 소자의 트렌치 격리층을 매립시킨 폴리실리콘과 같은 충전물질에 있어서는 충전물질 자체내의 양전하에 의한 전도 등에 의해서 단위 소자의 동작에 악영향을 끼치기도 하였으며, 또한 트렌치 격리층을 형성시킴에 있어서는 복잡한 다단계로 인하여 높은 기술과 고가의 장비가 필요하여 비경제적이라는 문제가 있었다.

본 발명은 이러한 문제점을 해결하고자 만출된 것으로, 반도체 소자의 단위소자간을 격리시키는 트렌치 격리층의 형성방법에 있어서 단위소자의 동작 신뢰성을 향상시키면서, 단순하게 형성시키는 반도체 소자의 트렌치 격리층 형성방법을 제공하고자 하는 것이 그 목적이다.

상기 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 격리층 형성방법은 반도체기판 상에 소자격리영역을 노출시킨 질화막 패턴을 형성시키는 단계와 상기 반도체기판의 노출된 상기 소자격리영역을 불산용액 내에서 빛을 상기 반도체기판과 수직되게 조사하면서 양극반응시켜 수직의 다공질실리콘층을 형성하는 단계와, 상기 다공질실리콘층을 산화시켜서 트렌치 격리층을 형성시키는 단계를 포함한다.

이하, 첨부한 도면을 참조하여 본 발명을 상세히 설명한다.

제2도는 본 발명에 따른 반도체 소자의 트렌치 격리층 형성방법을 설명하기 위한 공정도이다.

본 발명의 반도체 소자의 트렌치 격리층 형성방법에서 트렌치 격리층을 형성시키기 위해서는 우선 제2도의 (a)와 같이 반도체기판(20) 위에 저압화학기상증착(LPCVD : Low Pressure Chemical Vapour Deposition)법으로 질화막(Si_N)(21)을 형성시킨다.

이어서 제2도의 (b)와 같이 질화막(21)을 반도체기판(20)이 노출되도록 패터닝(patterning)하여 소자격리영역(A')을 정의한 질화막 패턴을 형성시킨다.

즉, 질화막(21)을 포토리쏘그래피 방법으로 패터닝하여 반도체기판(20)의 소자격리영역(A')만을 노출시키는 원도우(window)를 가진 질화막 패턴을 형성시킨다.

그리고 제2도의 (c)와 같이 질화막(21)을 마스크로 사용하여 반도체기판(20)의 노출된 소자격리영역(A')을 불산용액(HF) 내에서 양극반응을 시키면서, 반도체기판(20) 표면에 빛을 조사하여 소자격리영역(A')의 기판에 수직의 다공질실리콘층(22)이 형성되도록 한다.

즉, 반도체기판(20)을 HF 용액에 내에 담구고(dipping), 반도체기판에서는 (+)극을, HF 용액에는 (-)극을 인가시킨 후에, 반도체기판(20)의 소자격리영역(A')에 빛을 조사하여 주게 되면, 반도체기판(20)의 질화막이 빛과 반응하게 되어 전자-홀의 쌍(electron-hole pair)이 발생된다. 상기에서 전자-홀의 쌍은 전류 패스를 갖도록 하므로 양극 반응이 쉽게 발생되도록 하므로 반도체기판(20)의 도

전형(P형 또는 N형)과 도핑(doping) 농도에 의해 영향을 적게 받으면서 다공질실리콘층(22)을 형성할 수 있다. 또한, 빛을 반도체기판(20)과 수직으로 조사하여 소자격리영역(A')의 반도체기판(20)에는 다공질실리콘층(22)이 수직으로 형성되게 한다.

이때, HF용액의 농도는 15-30wt% 정도이다.

그리고 불활성 용액인 HF 용액내에서 반도체기판 즉, 실리콘기판에 양극반응만을 시키면, 기판의 타입(type)(P타입 또는 N타입)과 도핑(doping)된 농도에 의해 정의된 소정영역에 다공질실리콘층이 형성되도록 하는 방법이 널리 알려져 있으나, 이는 상술한 바와 같이 여러 가지 조건 즉, 기판의 타입 또는 도핑농도 등의 영향을 받게 된다.

그러므로, 본 발명의 반도체 소자의 트렌치 격리층 형성방법에서는 반도체기판 즉, 실리콘 기판을 양극반응시키되, 실리콘기판에 빛을 조사시키는 방법을 이용하고 있으며, 이 방법에서는 실리콘기판의 타입 즉, 피(P) 타입이나 엔(N) 타입의 실리콘기판에 상관없이 또는 실리콘기판의 도핑농도에 영향을 받지 않고 용이하게 다공질실리콘층(22)을 형성시킬 수 있다.

이어서 제2도의 (d)와 같이, 다공질실리콘층(22)이 형성된 반도체기판(20)을 세척한 후, 다공질실리콘층(22)을 열산화 또는 습식산화시켜서 소자격리영역에 트렌치 격리층(23)을 형성시킨다.

이때, 반도체기판(20)의 소자격리영역(A')에 형성된 다공질실리콘층(22)은 매우 불안한 표면구조로 인하여 쉽게 산화가 되며, 다공질실리콘층(22)을 열산화 시킬 경우에는 건조산소 분위기 하에서, 온도는 900-1100°C가 바람직하다.

본 발명의 반도체 소자의 트렌치 격리층 형성방법은 증래의 반도체 소자의 트렌치 격리층 형성방법과 비교하여 공정이 매우 간단하다.

즉, 증래의 반도체 소자의 트렌치 격리방법에서 사용된 기술은 반도체기판 즉, 실리콘기판의 건식각, 열산화, 다결정실리콘 증착 등의 단계를 거쳐야 하지만, 본 발명의 반도체 소자의 트렌치 격리층 형성방법은 실리콘기판의 소자격리영역에 다공질실리콘층을 형성시키고, 이를 산화시킴으로써 트렌치 격리층을 형성시키고 있다.

또한 본 발명의 반도체 소자의 트렌치 격리층 형성방법에 의해 다공질실리콘층이 산화되어 형성된 트렌치 격리층에서는 증래의 기술에서 발생되던 트렌치 격리층에 충전되어 있던 폴리실리콘과 같은 충전물질 자체내의 양전하에 의한 전도 등을 방지할 수 있으므로, 단위 소자의 동작의 악영향을 끼치는 요소가 제거되고, 이로 인하여 소자의 동작신뢰성이 향상된다.

그리고 본 발명의 반도체 소자의 트렌치 격리층 형성방법에서는 다공질실리콘층을 형성시킬 때 있어서 별도의 장비가 크게 필요없고, 매우 쉽게 다공질실리콘층에 의한 깊은 트렌치 격리층을 형성할 수 있다.

(57) 청구의 쌍위

청구항 1

(정정) 반도체기판 상에 소자격리영역을 노출시킨 질화막 패턴을 형성시키는 단계와, 상기 반도체기판의 노출된 상기 소자격리영역을 불산 용액내에서 빛을 상기 반도체기판과 수직되게 조사하면서 양극반응시켜 수직의 다공질실리콘층을 형성하는 단계와, 상기 다공질실리콘층을 산화시켜서 트렌치 격리층을 형성시키는 단계를 포함하여 이루어지는 반도체 소자의 트렌치 격리층 형성방법.

청구항 2

제1항에 있어서, 상기 질화막 패턴은 상기 반도체 기판상에 저압화학기상증착법으로 질화막을 형성시킨 후에, 상기 질화막을 패터닝하여 형성시키는 것을 특징으로 하는 반도체 소자의 트렌치 격리층 형성방법.

청구항 3

(정정) 제1항에 있어서, 상기 불산 용액은 농도가 15-30wt%인 것을 특징으로 하는 반도체 소자의 트렌치 격리층 형성방법.

청구항 4

(정정) 제1항에 있어서, 상기 다공질실리콘층을 습식산화하여 상기 트렌치 격리층을 형성하는 것을 특징으로 하는 반도체 소자의 트렌치 격리층 형성방법.

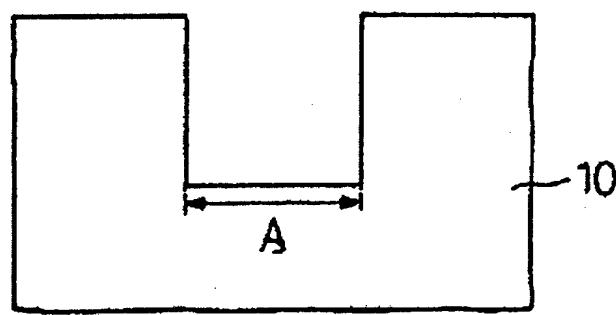
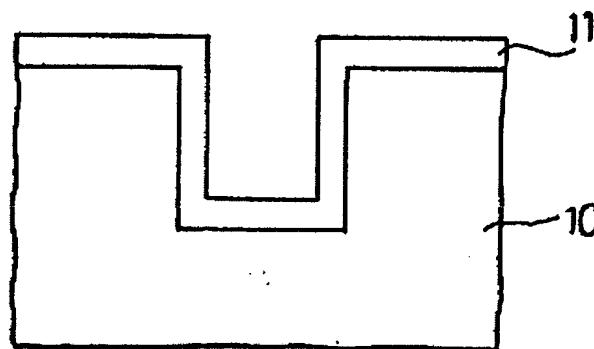
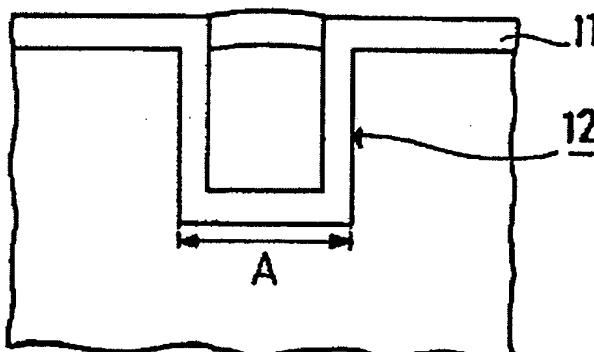
청구항 5

(정정) 제1항에 있어서, 상기 다공질실리콘층을 열산화하여 상기 트렌치 격리층을 형성하는 것을 특징으로 하는 반도체 소자의 트렌치 격리층 형성방법.

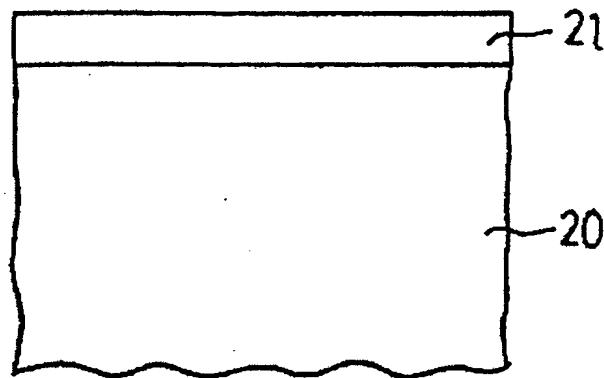
청구항 6

(정정) 제5항에 있어서, 상기 트렌치 격리층을 건조산소 분위기하에서 900-1100°C의 온도에서 형성하는 것을 특징으로 하는 반도체 소자의 트렌치 격리층 형성방법.

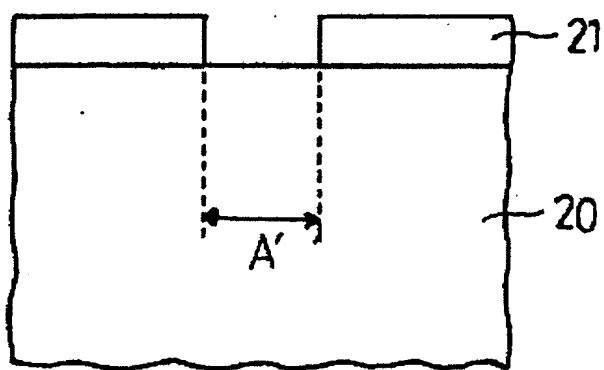
도면

5B1a*5B1b**5B1c*

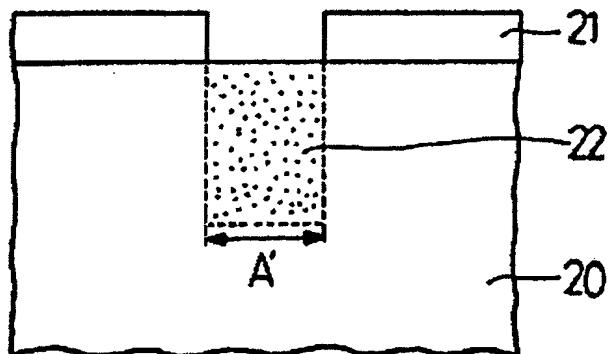
도면2a



도면2b



도면2c



~~5824~~